

WEST **Generate Collection**

L4: Entry 1 of 2

File: JPAB

Jun 7, 1996

PUB-NO: JP408146933A

DOCUMENT-IDENTIFIER: JP 08146933 A

TITLE: DISPLAY CONTROL UNIT

PUBN-DATE: June 7, 1996

INVENTOR-INFORMATION:

NAME

KOMURO, JUNICHI

COUNTRY

ASSIGNEE-INFORMATION:

NAME

CASIO COMPUT CO LTD

COUNTRY

N/A

APPL-NO: JP06308449

APPL-DATE: November 18, 1994

INT-CL (IPC): G09G 5/00; G06T 1/60

ABSTRACT:

PURPOSE: To use one memory as both a V-RAM where text data, etc., are expanded and a video capture RAM where moving picture data are expanded.

CONSTITUTION: A dual-port V-RAM 10 consists of a DRAM memory cell 10C which has a random port 10B and stores data of one frame and a data register 10D which has a serial port 10A and is connected to the DRAM memory cell 10c and stored with data equivalent to at least one raster; and data equivalent to at least one raster are outputted from the serial port 10A to a display device in one horizontal display period. A video processing circuit 16 receives and converts an NTSC video signal into RGB video data and outputs the data. A multiplexer 26 connects a video processing circuit 16 and a two-way buffer 24 which holds data from a CPU to the random port 10B of the dual-port RAM 26 alternately in one horizontal display period.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-146933

(13)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁶

G 0 9 G 5/00
G 0 6 T 1/60

識別記号 庁内整理番号

5 5 5 K 9377-5H

F I

技術表示箇所

G 0 6 F 15/ 64

4 5 0 C

審査請求 未請求 請求項の数2 FD (全6頁)

(21)出願番号

特願平6-308449

(22)出願日

平成6年(1994)11月18日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 小室 純一

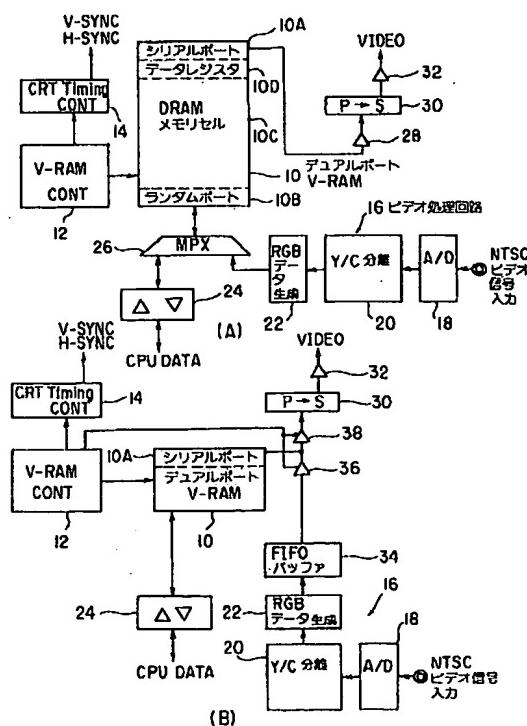
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

(54)【発明の名称】 表示制御装置

(57)【要約】

【目的】テキストデータ等が展開されるV-RAMと動画像データが展開されるビデオキャプチャRAMとを1つのメモリで兼用できるようにすること。

【構成】デュアルポートV-RAM10は、ランダムポート10Bを持つ1フレーム分のデータを記憶するDRAMメモリセル10Cと、シリアルポート10Aを持ちDRAMメモリセル10Cに接続された少なくとも1ラスクタ分のデータを記憶するデータレジスタ10Dとから構成され、1水平表示期間中に、シリアルポート10Aから表示装置へ少なくとも1ラスクタ分のデータが出力される。ビデオ処理回路16は、NTSCビデオ信号を受けてRGBビデオデータに変換出力する。マルチブレクサ26は、1水平表示期間中に、ビデオ処理回路16とCPUからのデータを保持する双方向バッファ24とを交互にデュアルポートV-RAM26のランダムポート10Bに接続する。



【特許請求の範囲】

【請求項1】 ランダムポートを持つ1フレーム分のデータを記憶するメモリ部と、シリアルポートを持ち前記メモリ部に接続された少なくとも1ラスタ分のデータを記憶するデータレジスタ部とから構成されるデュアルポートメモリと、

1水平表示期間中に、前記シリアルポートから表示装置へ少なくとも1ラスタ分のデータを出力する表示データ出力手段と、

ビデオ信号を受けてRGBデータに変換出力するビデオ処理手段と、

1水平表示期間中に、前記ランダムポートを、前記ビデオ処理手段からのRGBデータの書き込みと、CPUによるデータの書き込み及び読み出しとのために交互に繰り返し供する選択手段と、
を具備することを特徴とする表示制御装置。

【請求項2】 ランダムポートを持つ1フレーム分のデータを記憶するメモリ部と、シリアルポートを持ち前記メモリ部に接続された少なくとも1ラスタ分のデータを記憶するデータレジスタ部とから構成されるデュアルポートメモリと、

入力されたビデオ信号をRGBデータに変換出力するビデオ処理手段と、

少なくとも1ラスタ分の前記ビデオ処理手段から出力されるRGBデータを保持するデータ保持手段と、

1水平表示期間中に、前記データレジスタ部の少なくとも1ラスタ分のデータを前記メモリ部に転送後、表示装置に表示するための少なくとも1ラスタ分の表示用データを前記メモリ部から前記データレジスタ部に転送し、前記シリアルポートから表示装置に対して少なくとも1ラスタ分の表示用データを出力し、この少なくとも1ラスタ分の表示用データの出力終了後に、前記データ保持手段に保持された少なくとも1ライン分のデータを前記シリアルポートから前記データレジスタ部に書き込む制御手段と、

を具備し、前記1水平表示期間中において、前記表示用データ出力の間、並びに前記データ保持手段のデータの書き込みの間、前記ランダムポートを介したCPUによるアクセスを可能としたことを特徴とする表示制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、取り込んだ動画像をテキストなどの他のデータと合成して表示するパーソナルコンピュータ等の動画像表示システムにおける表示制御装置に関する。

【0002】

【従来の技術】 近年、パーソナルコンピュータにおいて、テキストやグラフィックだけでなく動画像や音声、音楽などの所謂マルチメディア情報を取り扱えるように

なってきている。

【0003】 このようなパーソナルコンピュータによる動画像表示システムでは、図3の(A)に示すように、表示装置の同一表示画面100上にテキスト102と動画像104を合成して表示する場合、同図の(B)に示すような構成がとられている。

【0004】 即ち、通常パーソナルコンピュータが持っているテキストやグラフィック等の表示データがCPUにより書き込まれるV-RAM106に加えて、NTS

10 Cビデオ信号をA/Dコンバータ108、Y/C分離回路110、RGBデータ生成回路112等で構成されるビデオ処理回路114と、このビデオ処理回路114により変換されたパーソナルコンピュータで扱えるRGBデータが書き込まれるフレームメモリとしてのビデオキャプチャRAM116と、これらV-RAM106とビデオキャプチャRAM116のデータを選択的にCRT等の表示装置に供給するマルチプレクサ(MPX)118とを備えている。

【0005】

20 【発明が解決しようとする課題】 しかしながら、このような構成では、一般にV-RAM106も多色のグラフィックに対応するために大容量のメモリが用いられているにも関わらず、同様に大容量のビデオキャプチャRAM116をさらに用意しなければならないため、安価に動画像表示システムを構成することができなかった。

【0006】 本発明の課題は、V-RAMとビデオキャプチャRAMとを兼用できるようにすることにより、取り込んだ動画像をテキスト等の他のデータと合成して表示する動画像表示システムを安価に構成できるようにすることである。

【0007】

【課題を解決するための手段】 請求項1の発明の手段は次の通りである。デュアルポートメモリは、ランダムポートを持つ1フレーム分のデータを記憶するメモリ部と、シリアルポートを持ち前記メモリ部に接続された少なくとも1ラスタ分のデータを記憶するデータレジスタ部とから構成される。表示データ出力手段は、1水平表示期間中に、前記シリアルポートから表示装置へ少なくとも1ラスタ分のデータを出力する。ビデオ処理手段40は、ビデオ信号を受けてRGBデータに変換出力する。選択手段は、1水平表示期間中に、前記ランダムポートを、前記ビデオ処理手段からのRGBデータの書き込みと、CPUによるデータの書き込み及び読み出しとのために交互に繰り返し供する。

【0008】 請求項2の発明の手段は次の通りである。デュアルポートメモリは、ランダムポートを持つ1フレーム分のデータを記憶するメモリ部と、シリアルポートを持ち前記メモリ部に接続された少なくとも1ラスタ分のデータを記憶するデータレジスタ部とから構成される。ビデオ処理手段は、入力されたビデオ信号をRGB

データに変換出力する。データ保持手段は、少なくとも1ラスタ分の前記ビデオ処理手段から出力されるRGBデータを保持する、例えば FIFOバッファである。制御手段は、1水平表示期間中に、前記データレジスタ部の少なくとも1ラスタ分のデータを前記メモリ部に転送後、表示装置に表示するための少なくとも1ラスタ分の表示用データを前記メモリ部から前記データレジスタ部に転送し、前記シリアルポートから表示装置に対して少なくとも1ラスタ分の表示用データを出力し、この少なくとも1ラスタ分の表示用データの出力終了後に、前記データ保持手段に保持された少なくとも1ライン分のデータを前記シリアルポートから前記データレジスタ部に書き込み、前記1水平表示期間中において、前記表示用データ出力の間、並びに前記データ保持手段のデータの書き込みの間、前記ランダムポートを介したCPUによるアクセスを可能としている。

【0009】

【作用】請求項1の発明の手段の作用は次の通りである。選択手段は、表示データ出力手段がデュアルポートメモリのシリアルポートから表示装置へ少なくとも1ラスタ分のデータを出力している1水平表示期間中に、デュアルポートメモリのランダムポートを、ビデオ処理手段からのRGBデータの書き込みと、CPUによるデータの書き込み及び読み出しとのために交互に繰り返し供する。

【0010】請求項2の発明の手段の作用は次の通りである。データ保持手段、例えば FIFOバッファは、ビデオ処理手段によって変換出力されたRGBデータを少なくとも1ラスタ分保持する。一方、制御手段は、1水平表示期間中に、デュアルポートメモリのデータレジスタ部の少なくとも1ラスタ分のデータをデュアルポートメモリのメモリ部に転送後、少なくとも1ラスタ分の表示用データをこのメモリ部からデータレジスタ部に転送して、シリアルポートから表示装置に対して少なくとも1ラスタ分の表示用データを出力する。その後、前記FIFOバッファの少なくとも1ライン分のデータを前記シリアルポートから前記データレジスタ部に書き込む。CPUは、前記1水平表示期間中において、前記表示用データ出力の間、並びに前記FIFOバッファのデータの書き込みの間、前記ランダムポートを介してアクセスが可能となっている。

【0011】

【実施例】以下、本発明の実施例を図1の(A), (B)、及び図2の(A), (B)を参照して説明する。

【0012】図1の(A)は本発明の第1実施例の構成を示す図で、同図において、参照番号10はシリアルポート10Aとランダムポート10Bの2つの入出力ポートを有するデュアルポートV-RAMである。なお、このデュアルポートV-RAM10は、従来のダイナミッ

クRAM(DRAM)メモリセル10Cと、データレジスタ10Dとを内蔵しており、それぞれ非同期にアクセスできるようになっている。即ち、DRAMメモリセル10Cはランダムポート10Bによりデータが書き込み／読み出しされ、データレジスタ10Dはシリアルポート10Aによりデータが書き込み／読み出しされると共に、DRAMメモリセル10Cとデータレジスタ10Dの間でデータ転送が行われるようになっている。

【0013】また、12はこのデュアルポートV-RAM10のデータ書き込み／読み出しを制御するV-RAMコントローラ(CONT)であり、14はV-RAMコントローラ12の動作に応じてCRTの垂直同期信号(V-SYNC)及び水平同期信号(H-SYNC)を生成するCRTタイミングコントローラ(Timing CONT)である。

【0014】16は入力されたNTSCビデオ信号をパソコン用コンピュータで扱えるRGBビデオデータに変換出力するビデオ処理回路であり、A/Dコンバータ18, Y/C分離回路20, RGBデータ生成回路22より構成される。また、24は不図示CPUから上記デュアルポートV-RAM10に書き込むべきデータ及びこのデュアルポートV-RAM10から読み出してCPUに入力されるべきデータを保持する双方向バッファであり、26は上記ビデオ処理回路16と双方向バッファ24の一方を選択的にデュアルポートV-RAM10のランダムポート10Bに接続するマルチプレクサ(MPX)である。

【0015】そして、28はデュアルポートV-RAM10のシリアルポート10Aから例えば4ビットずつ出力される表示データを增幅するアンプ、30はこの増幅された4ビットのパラレル表示データをシリアルデータに変換するパラレル／シリアルコンバータ(P→S)であり、32はこのパラレル／シリアルコンバータ30の出力シリアルデータを増幅して不図示CRTに出力するアンプである。

【0016】次に、このような構成における動作を図2の(A)のタイミングチャートを参照して説明する。

【0017】即ち、動画像のデータは、ビデオ処理回路16により、入力NTSCビデオ信号から変換されたRGBビデオデータであり、これがマルチプレクサ26を介して、ランダムポート10BよりデュアルポートV-RAM10に書き込まれる。この場合、テキストデータ等のCPUデータをデュアルポートV-RAM10に書き込むことができるよう、このRGBビデオデータは常に書き込まれるのではなく、定期的に書き込まれるようマルチプレクサ26により選択される。つまり、マルチプレクサ26は、特に図示はしないがV-RAMコントローラ12によって又は不図示CPUによって制御され、ビデオ処理回路16からのRGBビデオデータと双方向バッファ24からのCPUデータとが重なってラン

ダムポート10Bに出力されることがないように、それらを交互に選択する。また、これと同期して、V-RAMコントローラ12は、RGBビデオデータ又はCPUデータの書き込みアドレスをデュアルポートV-RAM10に供給する。

【0018】一方、デュアルポートV-RAM10からの表示データは、シリアルポート10Aから出力される。即ち、V-RAMコントローラ12の制御により、1水平表示期間の開始時に、データレジスタ10Dのリフレッシュ後、DRAMメモリセル10CからCRTの少なくとも1ライン分つまり1ラスタ分の表示データがデータレジスタ10Dに転送され、シリアルポート10Aから例えば4ビットずつ出力される。この出力された表示データは、アンプ28で増幅後、パラレル/シリアルコンバータ30でシリアルデータに変換され、さらにアンプ32で増幅されて不図示CRTに供給される。

【0019】このように、デュアルポートV-RAMを使用することによって、テキストデータ等が展開されるV-RAMと、動画像データが展開されるビデオキャプチャRAMとを1つのメモリで兼用できるようになる。

【0020】次に、本発明の第2実施例を説明する。

【0021】図1の(B)は、その構成を示す図であり、第1実施例と同様のものには同一の参照番号を付し、その説明は省略するものとする。

【0022】同図において、参照番号34は先入れ先出し式のFIFOバッファであり、不図示CRTの少なくとも1ラスタ分のRGBビデオデータを保持できる容量のものである。

【0023】また、36はこのFIFOバッファ34の出力データを増幅してデュアルポートV-RAM10のシリアルポート10Aに供給するアンプ36であり、38はこのシリアルポート10Aから例えば4ビットずつ出力される表示データを増幅してパラレル/シリアルコンバータ30に供給するアンプである。これらアンプ36と38は、V-RAMコントローラ12により、相補的に動作するよう制御されるようになっている。

【0024】そして、デュアルポートV-RAM10のランダムポート10Bは、双方向バッファ24にのみ接続され、CPUデータの書き込み/読み出しにのみ用いられる。

【0025】次に、このような構成における動作を、図2の(B)のタイミングチャートを参照して説明する。

【0026】動画像については、上記第1実施例と同様に、入力されたNTSCビデオ信号がビデオ処理回路16においてA/Dコンバータ18、Y/C分離回路20、RGBデータ生成回路22を経て、デュアルポートV-RAM10へ書き込み可能なディジタルのRGBビデオデータに変換される。本第2実施例では、このRGBビデオデータは、ビデオ信号入力のタイミングで、FIFOバッファ34に入力され保持される。

【0027】そして、V-RAMコントローラ12の制御により、1水平表示期間の開始時に、まずデュアルポートV-RAM10のデータレジスタ10Dの少なくとも1ラスタ分のデータがDRAMメモリセル10Cに転送され、このデータレジスタ10Dのリフレッシュ後、DRAMメモリセル10CからCRTの少なくとも1ラスタ分の表示データがデータレジスタ10Dに転送され、シリアルポート10Aから例えば4ビットずつ出力される。このとき、V-RAMコントローラ12の制御により、アンプ36は非動作、アンプ38が動作状態とされているので、このシリアルポート10Aから出力された表示データは、アンプ38で増幅後、パラレル/シリアルコンバータ30でシリアルデータに変換され、さらにアンプ32で増幅されて不図示CRTに供給される。

【0028】こうして1ラスタ分の表示データのシリアルポート10Aからの出力が終了すると、V-RAMコントローラ12の制御により、シリアルポート10Aがライト方向に設定される(疑似データ転送サイクル)。

その後、アンプ36、38の動作状態が切り替えられてアンプ36が動作状態とされ、FIFOバッファ34に保持されているRGBビデオデータがシリアルポート10Aに高速に入力される。こうして1ラスタ分のRGBビデオデータの入力が終了すると、再びアンプ36、38の動作状態が切り替えられて、アンプ36は非動作状態とされる。

【0029】従って、デュアルポートV-RAM10のランダムポート10Bは、テキストデータ等のCPUデータの書き込み/読み出し専用に利用することができ、V-RAMコントローラ12から出力されるアドレスデータがデータレジスタ10Dのために使用されるとき以外は常に、CPUデータの書き込み/読み出しを行うことができる。

【0030】即ち、上記第1実施例では、図2の(A)のタイミングチャートに示すように、ビデオ処理回路16からのRGBビデオデータをデュアルポートV-RAM10に書き込んでいる間は双方向バッファ24からのCPUアクセスができないため、CPUをウェイトさせるようしているが、本第2実施例では、CPUのウェイトを非常に少なくすることができるので、テキストデータ等のCPUからのデータ書き込みも高速に行うことができる。つまり、簡単な回路の追加のみで、水平表示タイミングのあきの時間を使用してシリアルポート10Aから高速に動画像データを書き込むことができ、動画再生中も、CPUがV-RAMのデータをアクセスできるので、システムのスピードを損なわない動画像処理が実現できる。

【0031】

【発明の効果】本発明によれば、V-RAMとビデオキャプチャRAMとを兼用できるようになり、取り込んだ

動画像をテキスト等の他のデータと合成して表示する動画像表示システムを安価に構成できるようになる。

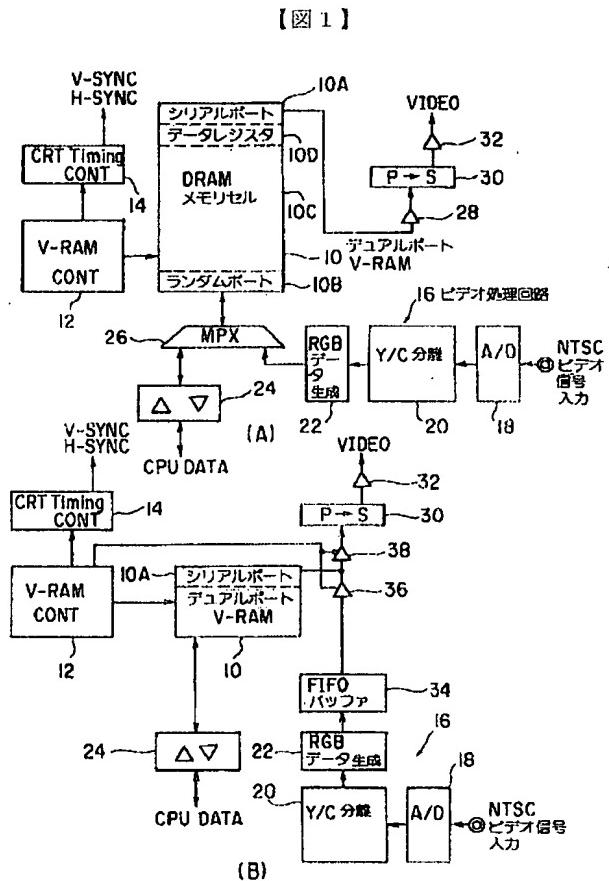
【図面の簡単な説明】

【図1】(A) 及び(B)はそれぞれ第1及び第2実施例のブロック構成図である。

【図2】(A) 及び(B)はそれぞれ第1及び第2実施例の動作を説明するためのタイミングチャートである。

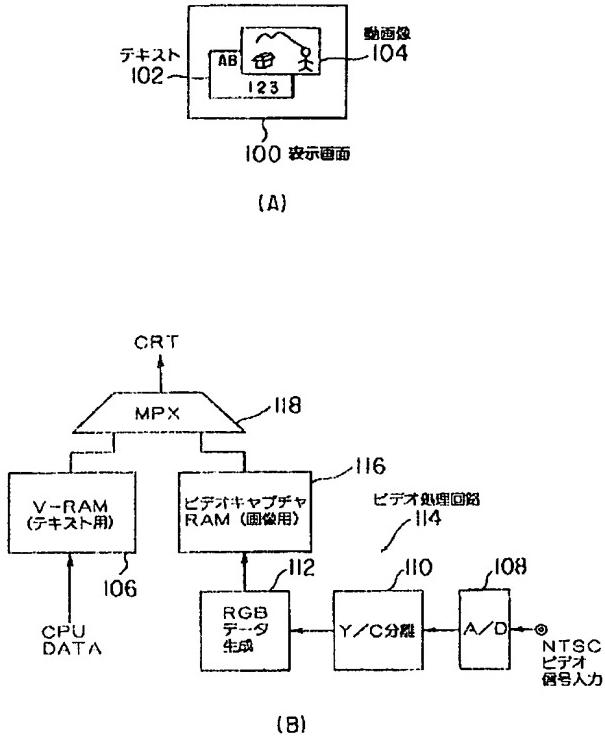
【図3】(A)は取り込まれた動画像とテキストデータの合成表示画面を示す図であり、(B)はこの合成表示を行うための従来の構成を示すブロック図である。

【符号の説明】



1.0…デュアルポートV-RAM、1.0A…シリアルポート、1.0B…ランダムポート、1.0C…ダイナミックRAM(DRAM)メモリセル、1.0D…データレジスター、1.2…V-RAMコントローラ(CONT)、1.4…CRTタイミングコントローラ(Timing CO NT)、1.6…ビデオ処理回路、1.8…A/Dコンバータ、2.0…Y/C分離回路、2.2…RGBデータ生成回路、2.4…双方方向バッファ、2.6…マルチプレクサ(MPX)、2.8, 3.2, 3.6, 3.8…アンプ、3.0…パラレル/シリアルコンバータ(P→S)、3.4…FIFOバッファ。

【図3】



【図2】

